

Driver voor een Klasse E zender.

Algemeen probleem

Volgens alle documenten die geschreven zijn over class-E zenders wordt steeds uitdrukkelijk vermeld dat deze zenders een theoretische rendement van 100% halen op voorwaarde dat de eindtrap gestuurd wordt met een blok golf zodat de eindtrap fungeert als een schakelaar die ofwel "aan" ofwel "uit" geschakeld is. Dit impliceert dat de overgang van "aan" naar "uit" ogenblikkelijk gebeurt zonder overgang verschijnselen.

Maar een blok golf voor een zeer hoge frequenties (50 Mhz en meer) is zeer moeilijk te maken tenzij deze veel energie opsloopt (bijvoorbeeld met multivibrators) zodat het totale rendement van heel de schakeling achteruit gaat. Het heeft weinig zin een 1 Watt zender te maken als de stuurtrap, de blok golf generator al een ½ Watt energie opsloopt.

Hoe kan men dit probleem verbeteren, met wel is waar te aanvaarden dat het totale rendement van heel de schakeling geen 100% kan zijn, maar toch een 90% kan halen?

Iedereen kent hoogfrequent oscillatoren zoals Colpitt, Hartley, Pierce maar ook Meiser, Franklin enz. Maar al deze schakelingen zijn sinus oscillators en geen blok golf vorm oscillatoren, die zo kunnen gemaakt worden dat ze weinig vermogen verbruiken.

Mogelijke oplossingen, een overstuurd sinus signaal

Nu is bewezen dat een trapezium vorm bijna evengoed is als een blok golf. Zelfs meer, een zuivere blok golf zal, vanwege de steeds aanwezige, wel is waar zeer kleine ingang capaciteit en inductie (van de aansluit draden), een vervelend "jitter" verschijnsel veroorzaken, een "overshoot" en "undershoot". Maar dit verschijnsel kan zeer goed onderdrukt worden door een trapezium achtige vorm te gebruiken ten opzichte van een blok golf.

Daarenboven is het verstandig om als eindtrap een LDMOS transistor te gebruiken in plaats van een BJT transistor en dit voornamelijk voor de twee volgende redenen.

Een BJT transistor heeft een lage "threshold" spanning (minder dan 0,7 volt) zodat dit jitter verschijnsel zeer snel tevoorschijn komt. Een LMOS met een veel hogere "Threshold" spanning (tussen 2 en 4 volt) heeft hierdoor daar minder last van.

Een BJT transistor is stroom gestuurd (Ib stroom) en heeft hierdoor een veel lagere ingangsweerstand ($R_{in} = r_e \beta$) terwijl een LDMOS zuiver spanning gestuurd is en zijn ingangsweerstand bijna volledig afhankelijk van de ingangscapaciteit (Ciss).

Zolang men er voor zorgt dat de schuine flanken van de trapezium vorm kleiner is dan 1/10 van de totale puls tijd zal het rendement daar niet erg onder lijden en theoretisch van 100% naar 98% zakt.

Maar ook een trapezium vorm maken is echt een moeilijke taak.

Maar indien we er nu eens voor zorgen dat we een overdreven groot sinus signaal maken, en deze begrenzen (door bijvoorbeeld twee diodes in anti parallel) dan wordt onze sinus omgevormd in een quasi trapezium vorm.

Dit is voorgesteld in Figure 1 Trapezium vorm als een gedeelte van een sinus

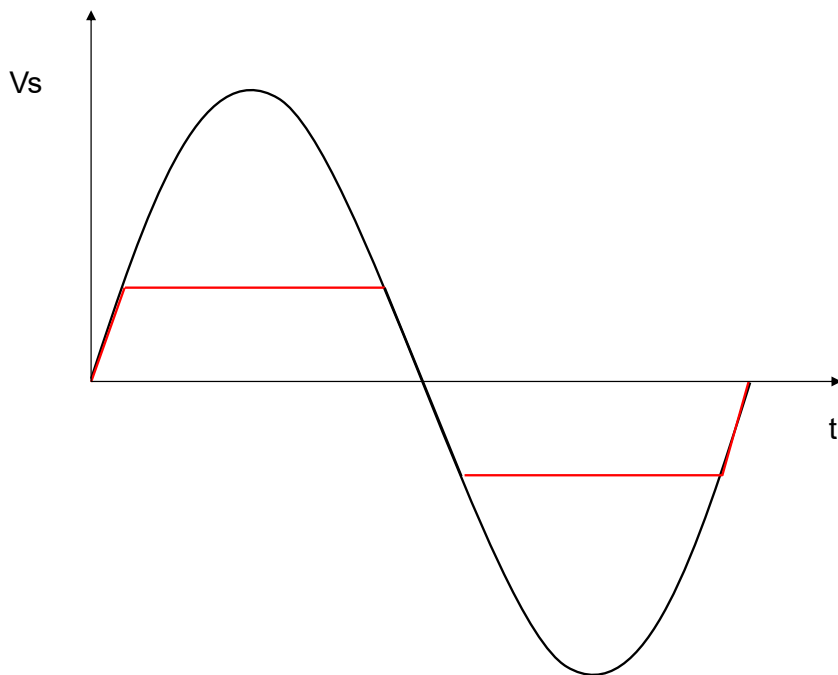


Figure 1 Trapezium vorm als een gedeelte van een sinus

Om degelijk flanken te bekomen kleiner dan $1/10$ van de puls tijd moet de amplitude van de sinus minstens 3 maal hoger zijn dan de nodige spanning om de eindtrap volledig in saturatie te krijgen of volledig te blokkeren.

We hoeven hiervoor geen uitwendige diodes te gebruiken want de LDMOS doet dit vanzelf. Immers vanaf een zekere spanningswaarde aan de "Gate" ($V_g = 5V$ bv.) zal de LDMOS in staat zijn de nodige (maximale) stroom te leveren en dit niet meer te verhogen, en bij voldoende spanning onder de V_{th} (bijvoorbeeld 0 Volt) zal de LDMOS volledig geblokkeerd zijn.

Dit is duidelijk te zien in de I_d - V_{ds} karakteristiek zoals te zien in Figure 2 (I_d - V_{ds} trace van LDMOS)

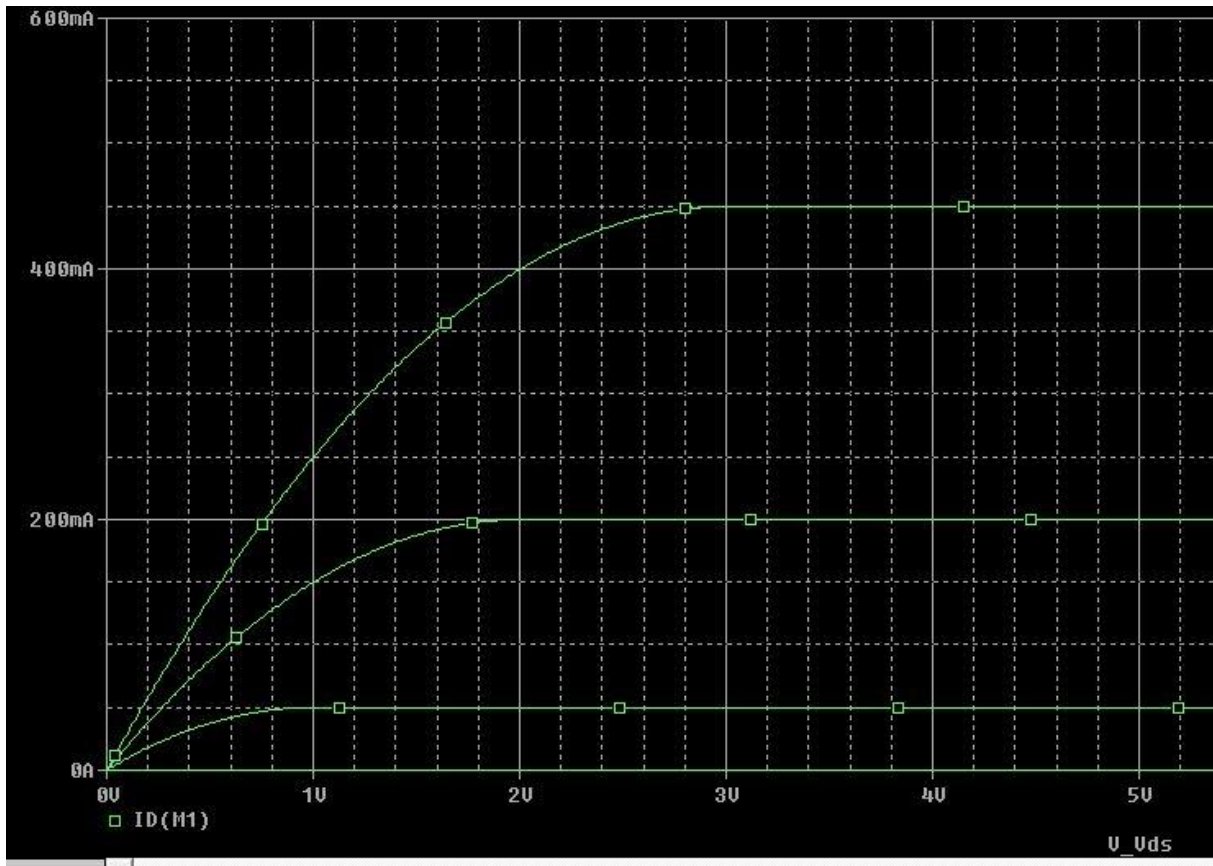


Figure 2(Id-Vds trace van LDMOS)

Wanneer men echter overdrijft dan zal het langer duren dat de LDMOS kan volgen, immers de steeds aanwezige ingangscapaciteit zal zich dan steeds hoger opladen en deze moet steeds weer via de driver transistor ontladen worden.

Dus de oscillator spanning moet juist kunnen geregeld worden.

Mogelijke oplossingen zijn (en hier verwijst naar onze website ECH-VZW.be)

Franklin Oscillator: met R in de staart te regelen.

Colpitt Oscillator in GBS of GGS: met R in de emitter- of source-grond te regelen.

Pierce Oscillator: met R in de emitter- of source-grond te regelen.

Maar al deze oscillatoren moeten dus een spanning kunnen genereren die minstens drie maal groter is dan de nodige V_{gs} spanning om de LDMOS in saturatie te houden of volledig te blokkeren.

Mogelijke oplossing met een driehoek signaal

Het is namelijk zo dat er een scherpe flank moet zijn wanneer de stroom van de eindtrap moet afgesneden worden, en dit gebeurt op het ogenblik dat de spanning over de eindtrap (V_{ds}) gelijk is aan 0 Volt. Maar 0 Volt is maar een infinitief klein moment en dus iedere tijd die langer is dan 0 zal de eindtrap zich in het actieve overgang gedeelte bevinden en dus vermogen verbruiken, en dat moet tot een minimum beperkt worden. Bij het terug opkomen van de stroom kan dit meer geleidelijk gaan. Dit is duidelijk te zien in de stroom en spanning grafiek van een Class-E zender van Figure 3 Spanning en stroom simula) van het schema in Figure 5 schema van class-E zender in PSPICE simulatie.

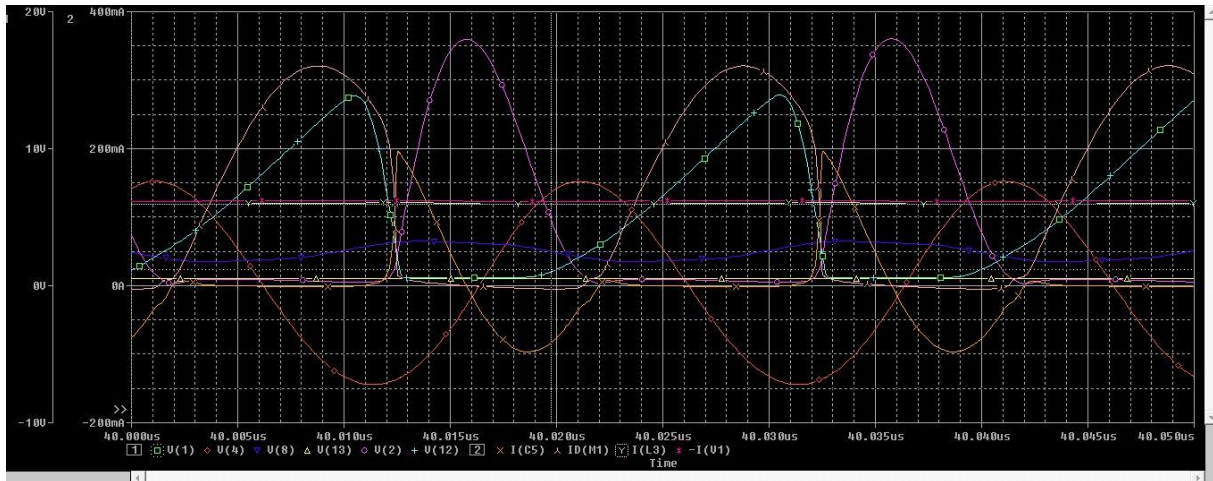


Figure 3 Spanning en stroom simulatie

Met andere woorden we moeten tussen de oscillator en de eindtrap een sinus-driehoek omvormer tussen plaatsen.

Dit kan door er een schakelaar met stroombron aan een capaciteit te schakelen zoals te zien is in Figure 4

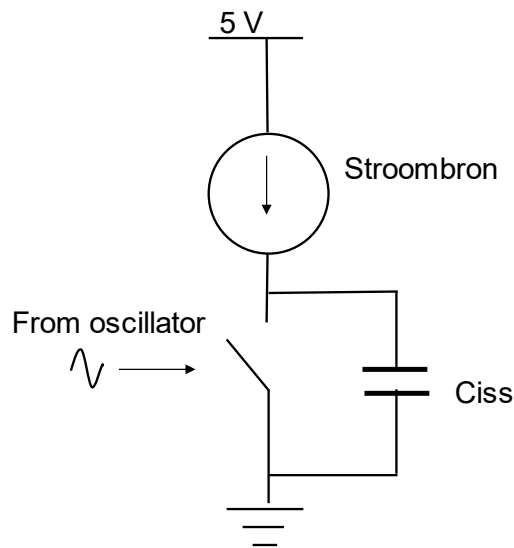


Figure 4

In dit schema zien we dat als de schakelaar open is $V_c = I \cdot t / C$ met $C = C_{iss}$ de input capaciteit van de eindtrap.

Wanneer de schakelaar gesloten wordt kan de capaciteit zich zeer snel ontladen door de schakelaar naar grond.

Wanneer echter de switch open is zal over de capaciteit (dit is de simulatie van de ingang V_g van de eindtrap) een spanning ontstaan die in functie van de tijd een lineair stijgende spanning is, en bij het sluiten van de switch een zeer snelle ontlading van de capaciteit naar 0 V.

Het volledig schema dat met PSPICE gesimuleerd is, is te zien in Figure 5 schema van class-E zender in PSPICE simulatie. De driehoek spanning is niet volledig een rechte lijnen driehoek, maar dit komt omdat de schakelaar met een klein sinus signaal is aangestuurd in plaats van met een blok golf. Maar het resultaat is behoorlijk goed.

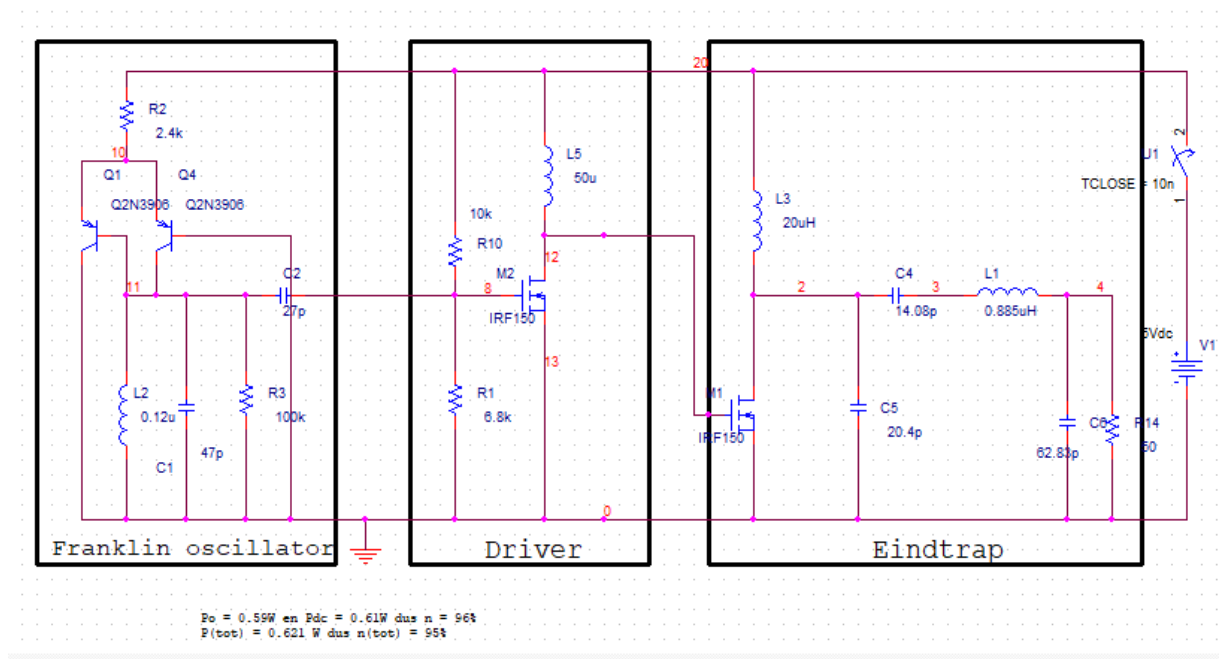


Figure 5 schema van class-E zender in PSPICE simulatie.

Met opzet heb ik hier een Franklin oscillator gebruikt met BJT transistoren die niet meer dan een amplitude van 1,4Vpp kan genereren, duidelijk veel te weinig om de eindtrap in saturatie en volledig geblokkeerd toestand te brengen.

Ik ben me van bewust dat deze simulatie een te rooskleurig beeld voorstelt maar ik toch kan rekenen op een totaal rendement van 90%.

Wanneer er een LDMOS gebruikt wordt die geen maximale V_{gs} kan verdragen (bijvoorbeeld $V_{gs-max} = 10V$) dan kan men aan de gate van deze eindtrap een (snelle) Zener-diode aansluiten (met een zener-spanning van bijvoorbeeld 9 V), en dan wordt de maximale spanning aan de gate afgeknot tot deze zenerspanning.